

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-199469

⑤ Int. Cl.⁴H 01 L 29/78
21/322
29/68
29/74

識別記号

3 2 1

庁内整理番号

J-8422-5F
L-7738-5F
8526-5F
N-7376-5F

⑬ 公開 平成1年(1989)8月10日

審査請求 有 請求項の数 3 (全5頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭63-22803

⑯ 出 願 昭63(1988)2月4日

⑰ 発 明 者 荻 野 正 信 神奈川県川崎市幸区堀川町72 株式会社東芝堀川町工場内
 ⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
 ⑲ 代 理 人 弁 理 士 諸 田 英 二

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1 2つの半導体基板のうち少なくとも一方の基板の主面及び該主面近傍に結晶欠陥が導入されている該主面を接合面として、2つの半導体基板を互いに密着接合してなる複合半導体基板を具備することを特徴とする半導体装置。

2 結晶欠陥が、アクセプタ又はドナー不純物でない原子を基板に導入することにより形成される特許請求の範囲第1項記載の半導体装置。

3 アクセプタ又はドナー不純物でない原子が、Ar、Kr、Xe及びRnのいずれか1つの原子又はこれら原子の混合物である特許請求の範囲第2項記載の半導体装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、PN接合を有する半導体装置に関

するもので、特に蓄積電荷の速い消滅を必要とする高速スイッチング半導体装置に使用されるものである。

(従来の技術)

高速のスイッチング動作を要求される半導体装置は種々あるが、ここでは絶縁ゲートバイポーラトランジスタ(Insulated Gate Bipolar Transistor, IGBT)あるいは伝導度変調型MOS FETと呼ばれることもある。以下IGBTと略記する)を一例として説明する。第5図は従来のIGBT素子の模式的断面図である。IGBTは、高濃度のボロンをドーピングしたP⁺型半導体基板1の上に、高濃度のN⁺領域2及び低濃度のN⁻領域3をエピタキシャル成長させ、N⁻領域3に公知の二重拡散縦型MOS FET(以下VD MOSFETと略記する)を形成したものである。即ちPボディ領域4及びN⁺ソース領域5は、ゲート電極6及びゲート酸化膜7の積層膜を共通のマスクとしてセルフアライン的に拡散形成される。従

ってIGBTは、従来のVD MOS FETのN⁺ドレイン領域2にP⁺領域1を付加したものである。IGBTは、オン状態ではソースからドレイン領域に多数キャリア(電子)が流入すると、これによりP⁺領域から少数キャリア(正孔)が注入され、ドレイン領域にはVD MOS FETに比し多量の過剰少数キャリアが存在する。IGBTは、このため大電流を通電しても小さな順方向電圧(V_f)となり、しかもVD MOS FETと同様高耐圧大電流をゲート電圧により速やかにターンオンできる特徴を持つ素子である。しかしながらターンオフ特性は、蓄積されている前記過剰少数キャリアのため低下する。この欠点を補うためドレイン領域中の少数キャリア(正孔)のライフタイムを短くする手段がとられている。即ち基板に電子線等を照射したり、あるいはAu、Pt等の重金属の拡散により、再結合中心となる深い準位(deep level)8(×印で示す)が基板全体にわたり形成されている。しかし一般にこれらのライフタイム制御法は、ライフ

タイムを低減化でき、素子の高速化をもたらす反面、順方向阻止状態の素子を通電するリーク電流が増大し、又オン電圧(V_f)が上昇する等の欠点を持っている。第6図は、ターンオフ時間(μsec)(縦軸)と順方向オン電圧V_f(V)(横軸)との関係を示す曲線の一例で、ターンオフ時間を短くすると、オン電圧V_fは増加する。(発明が解決しようとする課題)

前述のようにIGBTはVD MOS FETに比し大電流を流してもオン電圧を低く保つことができるが、ターンオフ特性が劣化する。これを改善するための従来技術では、リーク電流が増加したり、オン電圧(V_f)が上昇するという課題がある。本発明の目的は、このような従来技術の課題を解決し、リーク電流が少なく、オン電圧(V_f)の上昇も小さく、しかもターンオフ特性の良い高速スイッチング用半導体装置を提供することである。

[発明の構成]

(課題を解決するための手段)

本発明の第1の請求項に係る半導体装置は、2枚の半導体基板を密着接合した複合基板を使用したもので、接着前に一方の基板又は両方の基板の接着面及びその近傍に結晶欠陥を導入した後密着接合し、接着界面近傍に結晶欠陥を局在させた複合半導体基板を具備することを特徴とするものである。

本発明の第2の請求項は、結晶欠陥が、アクセプタ又はドナー不純物でない原子を基板に導入することにより形成される第1請求項記載の半導体装置である。

又本発明の第3の請求項は、アクセプタ又はドナー不純物でない原子が、Ar、Kr、Xe及びRnのいずれか1つの原子又はこれら原子の混合物である第2請求項記載の半導体装置である。

(作用)

接着面近傍に形成される結晶欠陥はキャリアの再結合中心として作用し、該領域のキャリアのライフタイムを短くする。PN接合を有する半導体装置、例えばIGBT、SCR等の電力用スイ

ッチング装置においてオン期間中に特定能動領域例えばドレイン領域に蓄積された過剰少数キャリアは、オフ状態に移行する際、速やかに排除されることが必要で、前記結晶欠陥は過剰少数キャリアの減少を促進し、ターンオフ時間を短くする効果がある。

又結晶欠陥を設けることによって生ずる従来技術の課題であるリーク電流(オフ電流及び逆電流)の増加及びオン電圧(V_f)の上昇を極力抑えるためには、結晶欠陥領域は一定の領域に限定し、かつこの領域を特性劣化を最小にできる位置に配設することが必要である。複合半導体基板を使用し、接着面近傍に結晶欠陥領域を形成するのは、結晶欠陥領域を限定し、基板の深い位置にこれを配設することが容易にできるからである。

結晶欠陥は、電子線、中性子線等の照射によっても形成できるが、所望の領域に限定することが難しいので、原子を基板に導入することにより形成する。しかしこれにより装置の能動領域のキャリア密度が大きく変化し、該装置の特性に影響

を与えることは好ましくないので、導入する原子はアクセプタ又はドナー不純物でない原子とする。

結晶欠陥の形成が容易であり、又形成された結晶欠陥がウェーハプロセスの種々の熱処理によって変化しないことが望ましく、このため基板に導入する原子は原子量の大きいAr、Kr、Xe及びRnのいずれか又はこれら原子の混合物を使用する。

(実施例)

本発明の実施例について図面を参照して説明する。第1図は、本発明を適用したIGBTの断面図である。なお第5図と同一符号は同一部分又は対応部分を表す。N⁻型半導体基板13は一方の主面側にN⁺領域12が形成され、該領域には深いエネルギー準位の結晶欠陥18(×印で示す)があらかじめ導入されている。このN⁻型基板13とP⁺型半導体基板11とは接着面19で互いに密着接合され1枚の複合半導体基板を形成している。N⁻型基板13には公知のVDMOSFETが形成される。

を実施する。この処理工程では前記シリコンウェーハ鏡面に吸着していると想定される水分はそのまま残し、過剰な水分を除去するもので、この吸着水分が殆ど揮散する100℃以上の加熱乾燥は避ける。これらの処理を経たシリコンウェーハを、例えばクラス1以下の清浄な大気雰囲気中に設置して、その鏡面間に異物が実質的に介在しない状態で相互に密着して接合する(同図(c)参照)。次にO₂とN₂の割合が1/4の雰囲気中で1100℃で2時間熱処理し、接着界面19の原子同志の結合を強固なものとする(同図(d)参照)。次に接着面19からN⁻型基板13の表面までの距離が110μmになるまで、基板13を研磨し、鏡面に仕上げる(同図(e)参照)。その後公知の製造方法によりN⁻型基板13にVDMOSFETを形成し、第1図に示すIGBTを得る。

このようなArイオン注入により形成した結晶欠陥18は、透過型電子顕微鏡による観察から、多結晶シリコンから成っていることが判明した。

第2図は、その製造工程を示す断面図である。まず、リン(P)をドーブした比抵抗60~80ΩcmのN型シリコン(ミラー指数(100))基板13を用意し、その被接着面19aを鏡面研磨して表面粗さ130Å以下とする。次にこの被接着面にPイオンを加速電圧40keV、注入量 2×10^{15} atoms/cm²でイオン注入し、N⁺領域12を形成する(同図(a)参照)。

次に該表面にArイオンを150keV、注入量 3×10^{15} atoms/cm²でイオン注入し結晶欠陥18を導入する(同図(b)参照)。次にボロンをドーブした比抵抗0.013~0.016ΩcmのP型シリコン(ミラー指数(100))基板11を用意し、その被接着面19bを鏡面研磨して表面粗さ130Å以下に形成する。前記N⁻型基板13及びP⁺型基板11を洗浄し、脱脂並びにシリコンウェーハ表面に被着するスティンフィルムを除去する。次にこのシリコンウェーハ鏡面19a及び19bを清浄な水で数分程度水洗し、室温でスピナー処理のような脱水処理

上記のように結晶欠陥を主としてドレインN⁺領域12に局在させた構造のIGBTは、結晶欠陥がドレインの全領域に分布する従来のIGBTに比し、オン電圧(V_{ce})の上昇は低い値におさえられる。又順阻止電圧印加時、N⁻領域13に形成される空乏層内には前記結晶欠陥は含まれないので、リーク電流(オフ電流)の増加はない。

第4図はIGBTの順方向オン電圧(V_{ce}) (横軸)とターンオフ時間(μsec) (縦軸)との相関を、本実施例(●印)のIGBTと従来構造(○印、第5図のIGBTで、電子線照射により深い準位を形成)のIGBTとについて比較したものである。同図によればターンオフ時間が0.5μsec以下になると、特にV_{ce}の増加量が小さくなり、本発明の効果が顕著に現われる。

次に前記第1実施例のArイオン注入のかわりに、O(酸素)イオンを加速電圧100keV、注入量 3×10^{15} atoms/cm²でイオン注入し、そのほかの工程は第1実施例と同様な方法でIGBTを作製した第2の実施例について述べる。

この時の結晶欠陥18は転位が多く発生しており、Arイオン注入とは異なった性質を示していた。第4図に本実施例(△印)のIGBTのターンオフ時間(μsec)とオン電圧(V_f)との相関を示す。第1実施例と同様ターンオフ時間が0.5 μsec 以下のところで V_f の低減化効果が見られる。しかし第1実施例のArイオン注入に比べてその効果は少し落ちる。これは先に指摘したように、Arイオン注入とOイオン注入とでは形成される結晶欠陥の種類が異なり、結晶の乱れ方がArの方が大きく、従って深いエネルギー準位の数Arの方が多くなるためと考えられる。事実T. E. Seidel等はOよりArの方が結晶の乱れが大きいことを指摘している(J. Appl. Phys., Vol 46, No. 2, 1975年, P600)。

上記Arのような著しい効果は、Arより原子番号の大きい同種の不活性ガスであるKr、Xe、Rnでも同様に期待できる。又不活性ガス以外でも、例えばSi、C、Geのような4価の原子、

イリスタのターンオフ時間は主としてN⁻ベース領域33における過剰少数キャリアの再結合に支配される。又オフ時の順電圧印加による空乏層はN⁻ベース領域33のカソード側に形成される。このため結晶欠陥層38はN⁻ベース領域内のアノード側に設ける。これによりオン電圧及びリーク電流の増加をできるだけ小さく抑え、ターンオフ時間を短くすることができる。

[発明の効果]

本発明においては、接合面近傍に結晶欠陥を局在させた複合半導体基板を使用することにより、少数キャリアのライフタイムキラーとなる深いエネルギー準位を、半導体装置の所望の位置に形成することが可能となり、又深いエネルギー準位の数導入する電気的に不活性な原子の種類とその数を適当に選択することにより容易に制御できる。これらにより、不必要な領域にまで深いエネルギー準位の分布した従来素子に見られる欠点、即ちターンオフ時間を短くしようとすると順方向オン電圧及びリーク電流が増加するという課題は解決

Fe、Cl等Si中で電気的に不活性な原子であれば、イオン注入量を多くして(一般に 10^{18} atoms/cm²以上)、量は少ないが深いエネルギー準位を形成することが可能である。

上記実施例は、IGBTを例にとり説明したが、スイッチング速度を要求される半導体素子一般、例えばGTO、SCR等に適用でき、同様の効果が得られる。第3図は、本発明を逆阻止3端子サイリスタ(SCR)に適用した一例を示す断面図である。この素子はカソード電極(K)に接続するN⁺エミッタ領域31、ゲート電極(G)に接続するPベース領域32、N⁻ベース領域33及びアノード電極(A)に接続するP⁺エミッタ領域34からなるNPNP積層構造の逆阻止3端子サイリスタである。N⁻基板33の一方の主面に結晶欠陥層38を形成し、該主面とP⁺基板34の一方の主面とを密着接合した複合基板(接合面39)を作り、N⁻基板33側の表面から不純物を拡散してPベース領域32及びN⁺エミッタ領域31を形成したものである。このサ

され、リーク電流が少なくオン電圧(V_f)の上昇も小さく、しかもターンオフ特性の良い高速スイッチング用半導体装置を提供できた。

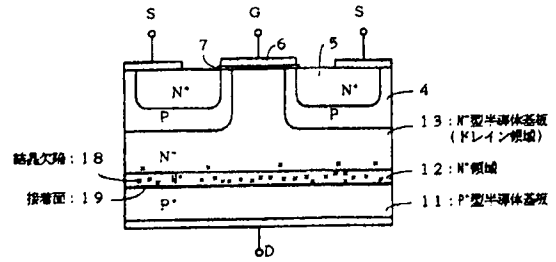
4. 図面の簡単な説明

第1図は本発明の半導体装置の実施例(IGBT)の断面図、第2図は第1図に示すIGBTの製造工程を示す断面図、第3図は本発明の半導体装置の他の実施例(SCR)の断面図、第4図は本発明及び従来のそれぞれの半導体装置(IGBT)のターンオフ時間と順方向オン電圧との関係を示す特性曲線、第5図は従来の半導体装置(IGBT)の断面図、第6図は従来のIGBTのターンオフ時間と順方向オン電圧との関係を示す特性曲線である。

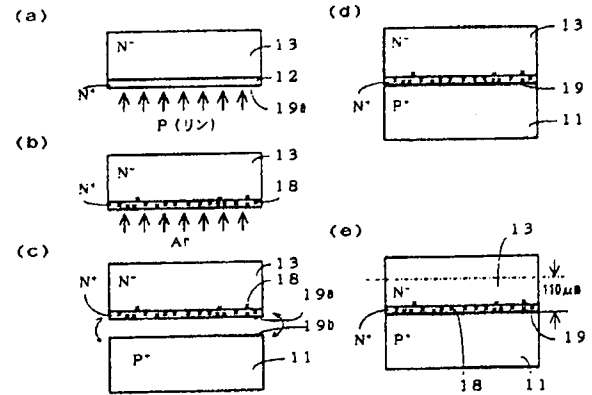
1、11…P⁺型半導体基板(IGBTのP⁺領域)、2、12…N⁺領域(ドレイン領域)、3、13…N⁻型半導体基板(ドレイン領域)、4…Pボディ領域、5…N⁺ソース領域、6…ゲート電極、7…ゲート酸化膜、8、18、38…結晶欠陥(深いエネルギー準位)、19、

39…接着面、19a、19b…被接着面、
33…N⁻基板(N⁻ベース領域)、34…
P⁺基板(P⁺エミッタ領域)。

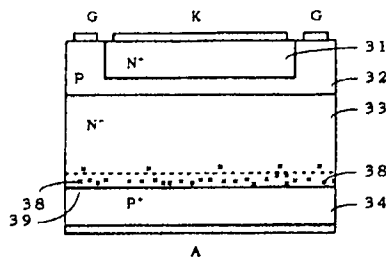
特許出願人 株式会社 東 芝
代理人 弁理士 諸田 英二



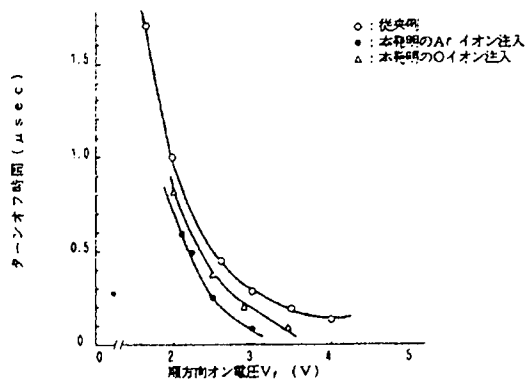
第 1 図



第 2 図



第 3 図



第 4 図

